

4. Broadband ATM Switching

4.1 Úvod

V minulosti boli vyvinuté rôzne prepínacie architektúry pre rôzne aplikácie ako sú hlasové a dátové prenosy založené na transferových módoch ako STM (Synchronous Transfer Mode) a prepínaní paketov. Tieto technológie boli adaptované v priebehu minulosti na stále sa vyvíjajúce technológie, ktoré dovoľovali cenovo výhodnejšie riešenia.

Prepínacia architektúra vyvinutá pre STM nie je priamo aplikovateľná na širokopásmové ATM. Sú dva hlavné faktory ovplyvňujúce implementáciu ATM prepínacej architektúry:

- ♦ vysoká rýchlosť ATM (od 150 až do 600Mbit/s),
- ♦ štatistické správanie sa ATM streamov prechádzajúcich cez ATM prepínací systém.

Prepínanie architektúru ovplyvňuje aj definícia malých buniek a obmedzená funkcionálna hlavička v ATM.

V literatúre bolo opísaných veľa prepínacích architektúr. Viacero z nich sa používa aj vo veľkých komerčných systémoch (telekomunikácie,..). Počet vstupov a výstupov v systémoch sa pohybuje od 4 po niekoľko tisíc.

Rozlišujeme public inštalácie ATM prepínačov, t.j. **ATM Central Office**, a privátne inštalácie nazývané **ATM LAN**.

V tejto kapitole sa budeme venovať iba transportnej časti prepínačov nie kontrolnej.

Transportná časť sa nazýva **transport network** a je to vlastne všetok hardware zodpovedný za korektný prenos dát. Kvalita prenosu sa hodnotí parametrami ako **cell loss rate**, **bit error rate**, **cell delay**, **cell delay jitter** a iné.

Kontrolná časť sa nazýva **control network** a kontroluje transport network, t.j. napríklad ktorý inlet (vstup) spojiť s ktorým outletom (výstup).

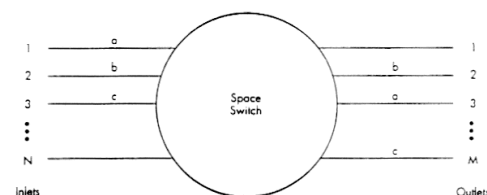
V **ATM prepínači (ATM switch)** musia byť ATM bunky transportované z jedného vstupu (*inlet*) do jedného alebo viacerých výstupov (*outlet*). Stretávame sa s pojmami ako prepínanie, multiplexovanie,... ktoré teraz vysvetlíme.

Prepínanie (Switching) je prenos informácie z **vstupného logického ATM kanála (incoming logical ATM channel)** do **výstupného logického ATM kanála (outgoing logical ATM channel)**. Logický ATM kanál je charakterizovaný:

- ⇒ **Fyzický vstup/výstup (inlet/outlet)** s prislúchajúcim číslom portu
- ⇒ **Logický kanál** na fyzickom porte (*logical channel*) s prislúchajúcim **Virtual Channel Identifier** a/alebo **Virtual Path Identifier (VPI)**

Na uskutočnenie prepínania treba dve funkcie podobné tým používaným v klasických prepínacích systémoch.

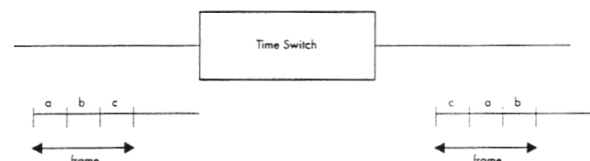
Space switching function (obr.1) Je vidieť, že informácia zo vstupu 1 je transportovaná do výstupu 3, atď. Dôležitý aspekt spojený s touto funkciou je routing, t.j. ako je informácia interne routovaná zo vstupu na výstup.



Obr. 0-1 - Space Switching

Time Switching (obr.2) Ide o to, že informácia z jedného time slotu na vstupe je prepnutá do iného time slotu na výstupe. Na jednom vstupe a výstupe je pritom viac rôznych time slotov.

V ATM je identifikácia time slotov v prenášaných paketoch nahradená identifikáciou logických kanálov. Problém nastane, ak 2 a viac logických kanálov chce pristúpiť na jeden time



Obr. 0-2 - Time Switching

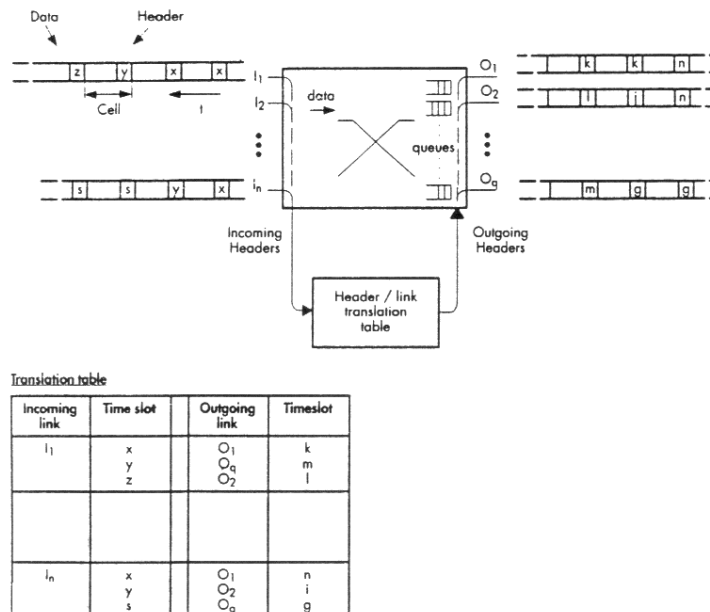
slot. Toto sa rieši frontou (*queing*) ATM buniek.

Koncentrácia/Multiplexing – nastáva vtedy, ak informácie z N vstupov musia byť rozdelené do M výstupov, pričom $N > M$.

Expanzia/Demultiplexing – opačná operácia k predchádzajúcej.

Základný princíp ATM prepínača je na obr.3. Prichádzajúce bunky sú podľa ich hlavičky fyzicky prepínané na výstupné linky. Na každej vstupnej aj výstupnej linke sú hlavičky jedinečné, ale rovnaké hlavičky môžeme nájsť na viacerých linkách. Keďže v rovnakom čase môžu prísť z rôznych vstupných liniek bunky, ktoré smerujú do rovnakého výstupu, je potrebné zabezpečiť frontu pre bunky, ktoré sa ešte nespracovali.

Takže zhrnieme: ATM prepínače vykonávajú tri základné funkcie: *Routing* (space switching), *queing* a *header translation*.



Obr. 0-3 ATM Princíp prepínania

4.2 Definície

Switching Fabric (Prepínacia sieť) – je zložené z rovnakých *basic switching building blocks*, ktoré sú nejakým spôsobom poprepájané. Teda switching fabric je určené topológiou siete a jej základným a jediným elementom.

Basic Switching Bulding Block (Prepínač) – jednoduchý element používaný na konštrukciu ATM switching fabric. Ďalšie pomenovanie: **switching element**.

Switching system – systém, ako sa prepínajú ATM bunky, t.j. môže to byť len jediný switching element alebo aj switching fabric.

4.3 Switching requirements

ATM musí byť schopné zabezpečiť prenos informácií rôznych druhov s rôznymi požiadavkami na rýchlosť, chybovosť atď.

4.3.1 Information rates

Rýchlosť prenosu sa v ATM pohybuje od niekoľkých kbit/s až po 150Mbit/s (napríklad pre HDTV). To ale neznamená, že ATM prepínače operujú na danej rýchlosti. Prepínanie môže byť realizované paralelnými

spojeniami, vtedy je operačná rýchlosť nižšia, alebo je realizovaných viacero prenosov cez jeden prepínač a vtedy musí prepínač operovať na rýchlosti potencionálne Gbit/s.

4.3.2 Broadcast/Multicast

Klasické STM majú len point-to-point konektie, kým ATM má:

Broadcast – poskytovanie informácií z jedného zdroja všetkým ostatným.

Multicast – poskytovanie informácií z jedného zdroja viacerým destináciám.

Tieto služby su typicky požadované pre distribúciu TV, video knižníc, atď.

4.3.3 Výkon

Výkon môže byť hodnotený z viacerých pohľadov, typicky sa hovorí o **priepustnosti** (*throughput*), connection blocking probability, bit error rate, switching delay. V ATM sa upriamuje pozornosť najmä na connection blocking, cell loss/cell insertion probability a switching delay.

Connection Blocking – určuje pravdepodobnosť, že nie je dostatok prostriedkov na vytvorenie novej konektie – či už spôsobené fyzickým obmedzením rýchlosti liniek, alebo prepínačov (keďže ATM sú connection-oriented). **Internal connection blocking** je podobné, ale ide len o obmedzenie prepínačov. Niektoré implementácie nemajú toto interné blokovanie, ale iné áno, lebo prepínač si musí pre každú konektiu alokovať nejaké prostriedky.

Cell loss/cell insertion probability – do ATM prepínača môže prísť v rovnakom čase viac buniek, ako je kapacita jeho zásobníka, preto sa niektoré bunky stratia (*cell loss*). Pravdepodobnosť tejto straty je v ATM v rozmedzí 10^{-8} až 10^{-11} . Cell insertion je nesprávne routovanie bunky. Pravdepodobnosť tejto udalosti by mala byť asi 1000-krát menšia ako pravdepodobnosť cell loss.

Switching delay – je to čas, ktorý trvá spracovanie bunky v prepínači. Hodnota býva okolo 10 až $1000 \cdot 10^{-9}$ s s rozpylom okolo $100 \cdot 10^{-9}$ s a menej.

4.4 Basic Switching Building Blocks

Switching element – prepínač – pozostáva väčšinou z 2 až 16 vstupov a výstupov, operačná rýchlosť je 150Mbit/s až 2.4Gbit/s. V tejto kapitole sa budeme zaoberať funkciami switching elementov, čo je hlavne **queuing** (**udržiavanie fronty, radenie**), pretože prepínač vlastne pracuje v ATM ako multiplexer.

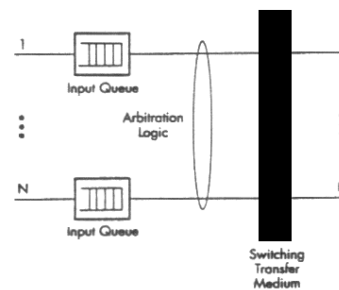
Fronta buniek môže byť na vstupoch, na výstupoch, vo vnútri elementu, alebo žiadna (používa sa iba ak sieť prepínačov nie je konekciou orientovaná).

4.4.1 Input queuing

V tomto riešení má každá vstupná linka svoj buffer, kde si ukladá prichádzajúce ATM bunky. Za týmito buffermi nasleduje rozhodovacia logika, ktorá určuje poradie obsluhovania vstupov a ich bufferov. Posledné je switching transfer medium, ktoré len prepojí daný vstup z daným výstupom (obr. 4)

Nevýhodou tohto spôsobu bufferovania buniek je tzv. **Head of the Line (HOL) blocking**. Tento stav nastáva vtedy, ak sú napr. v bufferi pre vstupnú linku 1 správy **a,b**. Nech **a** je určená pre výstup č.1 a správa **b** pre výstup č.2. Nech správa **a** je na vrchu buffera a ešte nech výstup 1 je obsadený a výstup 2 voľný.

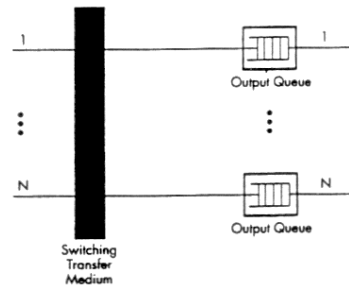
Potom ale správa **b** musí čakať, až sa uvoľní výstup 1, hoci je určená pre voľný výstup 2, lebo je blokována správou **a**. V *one cell time* nemusí byť prepnutých všetkých N buniek.



Obr. 0-4 Switching element with input queuing

4.4.2 Output queuing

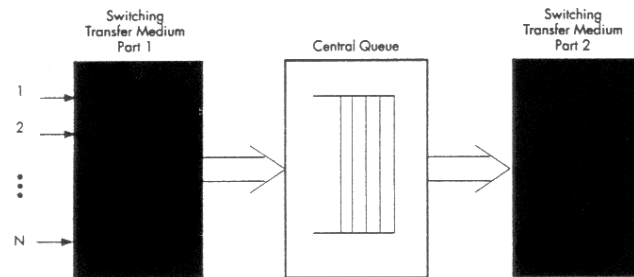
V tomto riešení má zase každá výstupná linka svoj buffer, kde si ukladá ATM bunky určené pre tieto výstupy. Žiadna rozhodovacia logika nie je potrebná, pretože všetky prichádzajúce bunky idú priamo do bufferov výstupných liniek. V *one cell time* môže byť prepnutých všetkých N buniek (obr.5).



Obr. 0-5 Switching element with output queuing

4.4.3 Central queuing

V tomto riešení existuje len jediný spoločný centrálny buffer pre spracovávané bunky. Každá výstupná linka si z neho vyberá „svoje“ bunky FIFO radením. Na obsluhu buffera existuje špeciálny systém, nie len obyčajný FIFO, lebo do buffera je potrebné prístupovať náhodne na rôzne miesta (obr.6)



Obr. 0-6 Switching Element with Central Queuing

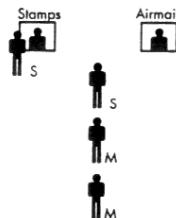
4.4.4 Výkon spôsobov radenia

Je charakterizovaný cell loss, delay a potrebnou veľkosťou všetkých bufferov.

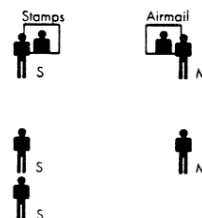
Intuitívne, stredná veľkosť buffera pre input queuing je väčšia ako pre output queuing a tá je ešte stále väčšia ako pri central queuing. Takisto aj s cell delay je to najhoršie pri input queuing. Dobře to ilustruje nasledujúci príklad.

Predstavme si poštu a 2 úradníkov, ktorí obsluhujú klientov. Jeden predáva známky (stamps), druhý obsluhuje airmail.

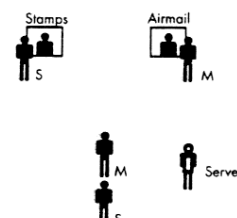
1. Predpokladajme, že existuje iba jedna fronta s FIFO obsluhou (obr.7). Potom osoba, ktorá má airmail musí čakať, kým nie je vybavená osoba čakajúca na známky, aj keď je úradník pre airmail voľný.
2. Na obr.8 sú dve samostatné „výstupné“ fronty – pre známky aj pre airmail. Osoba čakajúca na airmail nie je blokována osobou čakajúcou na známky. Taktiež vidíme, že úradníci musia pracovať usilovnejšie.
3. Na obr.9 máme znovu len jednu frontu, ale je tam ďalšia osoba – server, ktorá posieľa ľudí k obom priedčinkom. Pritom osobu čakajúcu na airmail pustí k danému priedčinku aj vtedy, ak je pred ňou vo fronte niekoľko ľudí čakajúcich na známky. Úradníci majú tak isto práce ako na obr.8, ale celková kapacita rezervovaná na fronty sa zmenšila dvakrát (keďže na obr.8 každá z front musí byť teoreticky dizajnovaná na tú istú maximálnu záťaž ako jediná fronta na obr.9).



Obr. 0-7 Input Queuing na pošte



Obr. 0-8 Output Queuing na pošte



Obr. 0-9 Central Queuing na pošte

4.5 Analytický model

Uvažujme zjednodušený model pre príchod buniek na vstupných linkách – založený na nezávislom a identickom Bernoulliho procese.

To znamená, že v ľubovoľnom time slote je pravdepodobnosť, že bunka príde na určitú vstupnú linku p ($0 < p < 1$). Nech máme N vstupných a N výstupných liniek. Každá bunka príde na určitú vstupnú a je prepnutá na určitú výstupnú linku s pravdepodobnosťou $1/N$.

4.5.1 Output queuing

Pravdepodobnosť (x_i) že bunka i príde na určitý výstup počas one cell time je $x_i = \binom{i}{N} \left(\frac{p}{N}\right)^i \left(1 - \frac{p}{N}\right)^{N-i}$

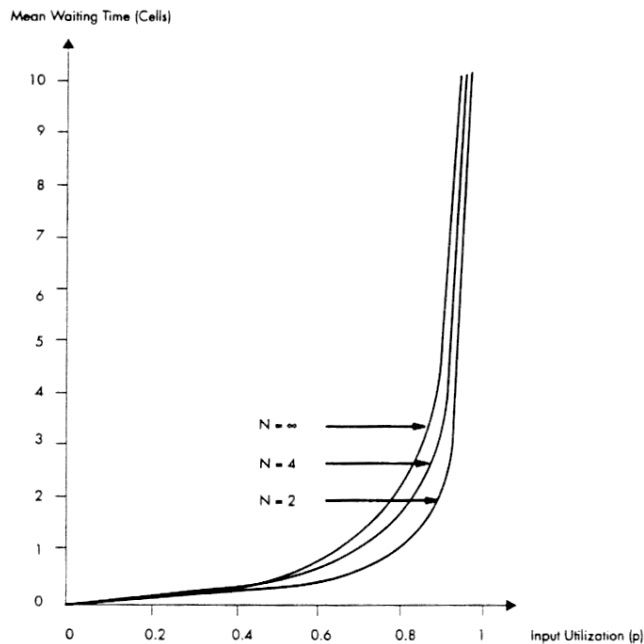
Určíme generujúcu funkciu náhodnej premennej $X(z)$ $X(z) = \sum_{i=1}^N z^i x_i = \left(1 - \frac{p}{N} + z \frac{p}{N}\right)^N$

Podľa literatúry (Kleinrock) vieme určiť počet $Q(z)$ buniek vo fronte $Q(z) = \frac{(1-p)(1-z)}{X(z)-z}$

integrovaním dostávame priemernú veľkosť fronty $\bar{Q} = \frac{(N-1)}{N} \frac{p^2}{2(1-p)}$

pre priemerné čakanie bunky platí vzťah $\bar{W} = \bar{Q} \frac{1}{p}$

Na obr.10 je vývoj čakania nakreslený, pričom Input Utilization je koeficient počtu užitočných správ k prázdny správam (keď nič netreba prepájať).



Obr. 0-10 Stredný čas čakania buniek pre Output Queuing

4.5.2 Input queuing

Rovnaké predpoklady ako v predchádzajúcom prípade. Nech B_n^i je počet buniek v na hlavičke vstupných bufferov určených pre výstup i , ale blokových, lebo neboli zvolené pre spracovanie (keďže iba jedna bunka v danom čase môže byť dopravená na výstup i). Nech A_n^i je počet nových buniek v hlavičke bufferov čase n určených pre výstup i . Potom platí: $B_n^i = \max(B_{n-1}^i - 1 + A_n^i, 0)$

Celkový počet čakajúcich buniek v čase n je: $L_n = N - \sum_{i=1}^N B_{n-1}^i$, priemerný stav L_n je potom $\bar{L} = N \cdot p$, keď p reprezentuje priepustnosť linky.

Ak sa N blíži k nekonečnu správa sa buffer takisto ako pri output queuing, teda pre priemernú dĺžku buffera

$$\text{pre konkrétnu vstupnú linku platí: } \bar{B}^i = \frac{p^2}{2(1-p)}$$

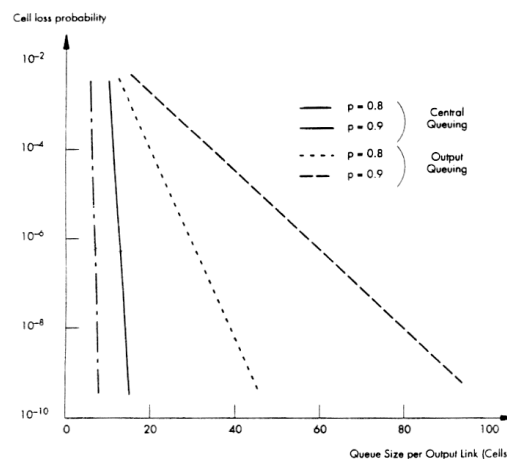
Z daných vzťahov odvodíme maximálny koeficient Input Utilization $p_{\max} = 0.586$.

4.5.3 Central queuing

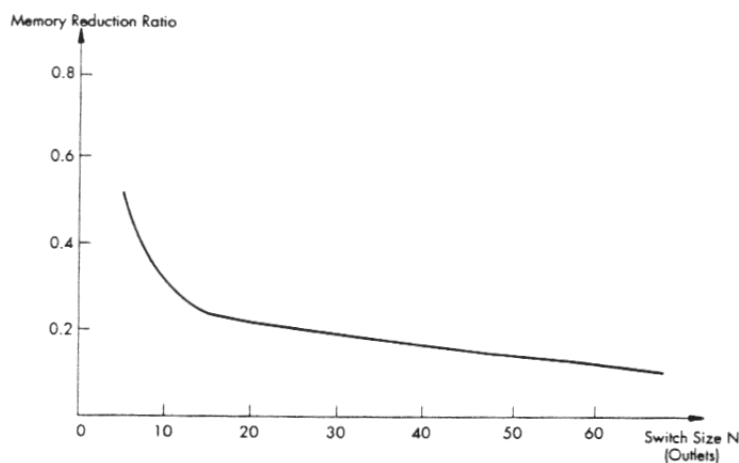
Centrálne bufferovanie sa správa presne ako output queuing. Ale hlavná výhoda v central queuing je spoločný zdieľaný buffer. Môžeme urobiť odhad zisku voľnej pamäte. Potom môžeme vypočítať cell loss probability useknutím chvosta distribučnej funkcie náhodnej premennej, ktorú získame, keď budeme uvažovať nekonečnú dĺžku výstupných bufferov.

Výsledok je na obr.11. Môžeme vidieť výrazný zisk voľnej pamäte pri použití centrálného bufferovania oproti výstupnému. Zisk závisí od počtu vstupov a výstupov na prepínači.

Na obr.12 je zobrazený pomer redukcie pamäte.



Obr. 0-11 Cell loss probability

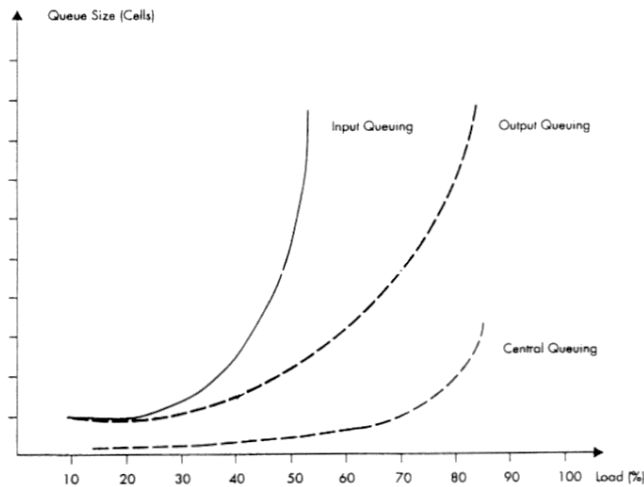


Obr. 0-12 Redukcia pamäte pre Central Queuing pre Cell loss probability 10^{-9} a $p=0.8$

4.6 Počítačová simulácia

Analytický model platí iba pri určitých predpokladoch, preto sa situácia prepínania simulovala na počítačoch. Takéto testy sú veľmi náročné na výpočtovú silu počítača, lebo je potrebné testovať veľmi nízke cell loss probability. Simulácia potvrdila výsledky dosiahnuté v analýze.

Na obr.13 je výsledok takejto simulácie.



Obr. 0-13 Veľkosť fronty ako funkcia zaťaženia

4.7 Parametre implementácie základných ATM switching building blocks

Požiadavky pri fyzickej implementácii troch uvedených spôsobov radenia sú veľmi odlišné. Je to spôsobené nielen veľkosťou fronty ale aj rôznymi požiadavkami na rýchlosť a prídavnú rozhodovaciu logiku. Teda sú tri hlavné parametre pri implementácii týchto blokov: veľkosť fronty, rýchlosť pamäte, správa pamäte.

- **Output queuing** - $N+1$ operácií v *one cell time* pre jednu výstupnú frontu (N potenciálnych zápisov zo všetkých N vstupov a jedno čítanie na poslanie správy ďalej). Pri použití dual ported memory treba vykonať N operácií – zisk je preto minimálny. Riadiaca logika je celkom jednoduchá, iba implementácia FIFO. Všetky vstupy a výstupy sú pripojené cez *transfer medium* (Obr.5). Najjednoduchšia implementácia je TDM (Time Division Multiplexing). Ak nemá byť stratená ani jedna bunka, TDM musí pracovať na rýchlosti N.F.
- **Input queuing** - Len 2 operácie simultánne v *one cell time* pre jednu frontu (1 zápis, 1 čítanie). Netreba používať dual ported memory. *Transfer medium* (Obr.4) môže operovať na menšej rýchlosti ako N.F, lebo sa môže „spofahnúť“ na riadiacu logiku pre input fronty. Riadiaca logika je tiež celkom jednoduchá (FIFO).
- **Central queuing** - $2.N$ operácií simultánne (N potencionálnych zápisov a N čítaní), treba dual-ported memory (dvojnásobný zisk rýchlost). Obe transfer mediá (Obr.6) musia operovať na rýchlosti N.F. Riadiaca logika je zložitejšia.

Memory Access Time for the 3 Queuing Disciplines

	Input queuing	Output queuing	Central queuing
Single ported memory	W/1.F	W/(N+1).F	W/2.N.F
Príklad (ns)	53.3	6.3	3.8
Dual ported memory	W/F	W/N.F	W/N.F
Príklad (ns)	106.6	6.7	6.7

Predpoklady príkladu:

Cell size = 53 bytes, W = 16 bit (šírka pamäte), F = 150 Mbit/s, N = 16 (počet vstupných liniek)